

192K 数字音频接收器 DP7416

■ 产品概述

DP7416 是一款 192K 数字音频接收器，该接收器支持 EIAJ CP1201、IEC-60958、AES3、S/PDIF 等音频格式。8:2 输入选择器最多允许 8 路数字音频输入，该输入选择器第二个输出具有 S/PDIF 直通功能，以提高系统灵活性。

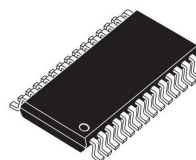
DP7416 具有软件和硬件 2 种工作控制模式，可以通过芯片管脚配置；音频通道状态数据存储在管脚的缓冲器中，易于读取；GPO 管脚可以方便的配置成不同的通道数据输出。

DP7416 还具有极低抖动时钟恢复机制，可从输入音频流生成非常干净的恢复时钟，凭借其 200ps 的极低抖动性能，已成为行业领先的 192kHz 数字音频接收器；是音频/视频接收器、多媒体扬声器、数字调音台、汽车音响系统和机顶盒等消费类和专业应用的理想之选。

■ 主要特性

- 支持 EIAJ CP1201、IEC-60958、AES3、S/PDIF
- 8:2 多路输入选择器
- 32K 到 192KHz 的采样频率
- 支持差分 and 单端输入
- 自动检测被压缩的输入音频数据流
- 支持 SPI 和 I2C 通讯接口协议
- 解码 CD 和 Q-Sub Code

■ 封装外形

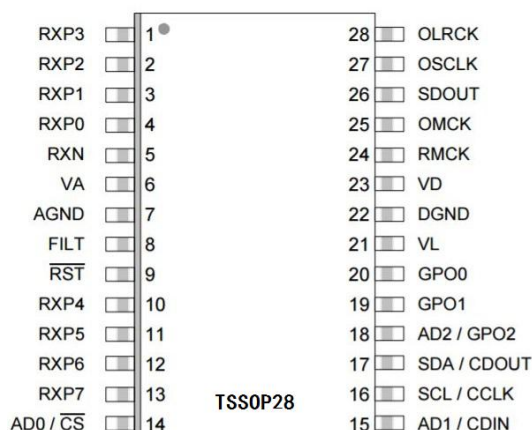


TSSOP-28

■ 典型应用

- AV 接收器、CD-R/DVD 播放解码器
- 数字混频调音台、家庭影院设备
- 机顶盒、汽车音响

■ 管脚配置

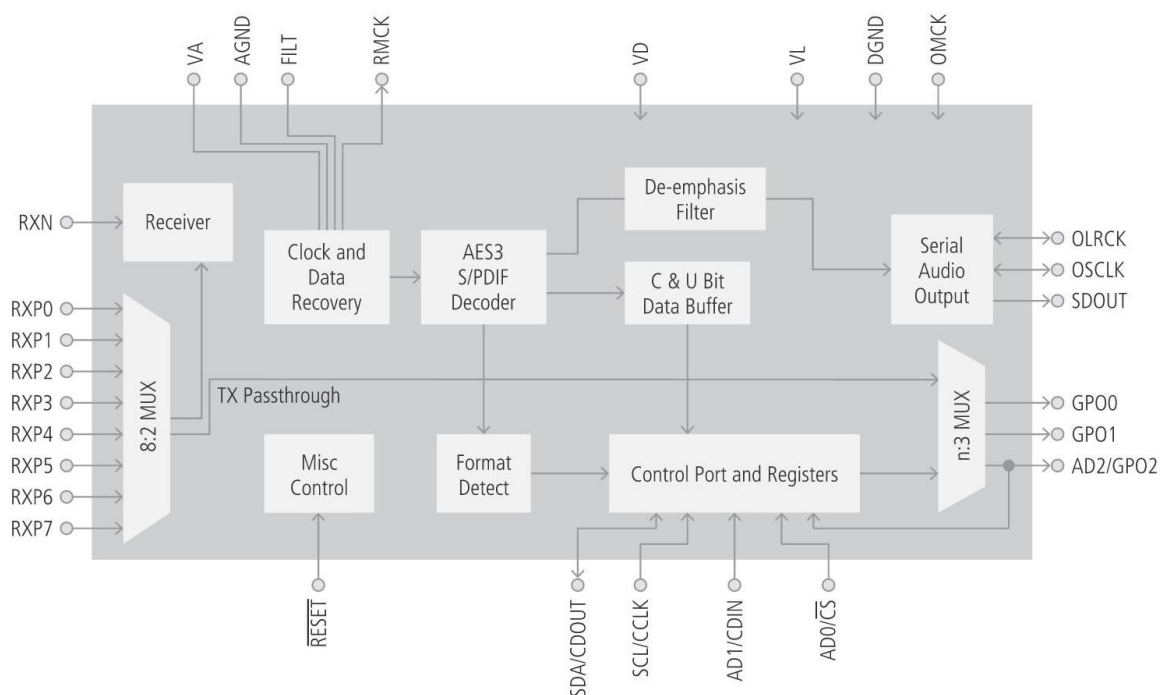


■ 管脚描述

序号	符号	功能描述
1-4 10-13	RXP3-0 RXP4-7	AES3、S/PDIF 正端输入-单端或者差分接收 AES3 或 S/PDIF 编码的数据。RXP[7:0] 输入包含了 8:2 的 S/PDIF 输入选择器。可通过配置寄存器 04h 选择所需的通道。不使用的输入端应悬空或接 AGND。推荐的输入电路详见“外置 AES3/SPDIF/IEC60958 接收器器件”。
5	RXN	AES3、S/PDIF 负端输入单端或者差分接收 AES3 或 S/PDIF 编码的数据。在单端信号工作时，该管脚应该接一个电容电流耦合到地。推荐的输入电路详见“外置 AES3/SPDIF/IEC60958 接收器器件”。
6	VA	模拟电源，正常 3.3V，该电源的噪声尽可能小，由于噪声会直接导致恢复时钟的抖动。
7	AGND	模拟地，AGND 和 DGND 必须连接在一起。

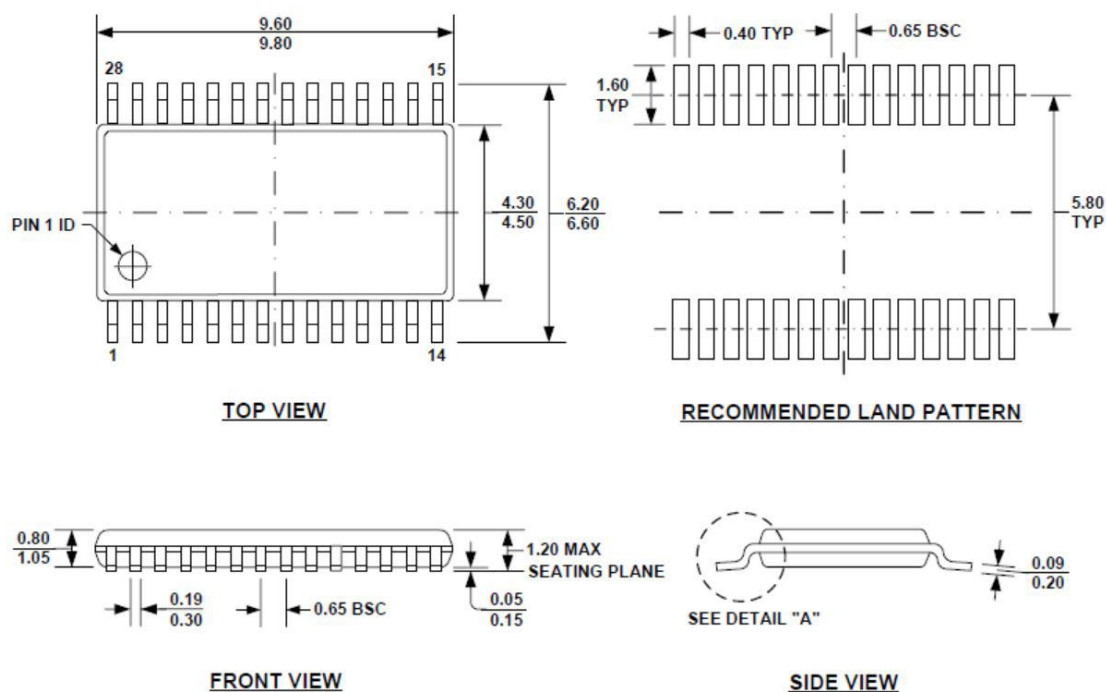
8	FILT	PLL 环路滤波器 (输出), 该管脚和模拟地之间必须连接一个 RC 网络。为最小消除 PLL 抖动, 滤波网络的终端需要接到 AGND, 详见“PLL 滤波器”章节。
9	RST	复位 (输入), 该管脚低电平时, 芯片进入低功耗模式, 且内部的所有寄存器状态都复位。在芯片上电时, 该脚必须保持低电平, 直到电源和输入时钟稳定。
14	AD0/CS	地址位 0 (I2C)/片选信号 (SPI) (输入), 在该管脚上的一个下降沿使芯片进入 SPI 模式。若没有下降沿, 芯片默认进入 I2C 模式。在 I2C 模式下, AD0 是地址管脚。在 SPI 模式下, CS 用于芯片的数字接口。详见“数字接口描述”部分。
15	AD1/CDIN	地址位 1 (I2C)/串行通信数据输入 (SPI) (输入), 在 I2C 模式下, AD1 是地址管脚。在 SPI 模式下, CDIN 用于芯片的数字接口。详见“数字接口描述”部分。
16	SCL/CCLK	I2C 数字接口时钟输入。CCLK 是漏极开路输出, 需要接一个上拉电阻到 VL。
17	SDA/CDOUT	I2C 数据输入输出, SDA 是开漏输出, 需要连接电阻到 VL。在 SPI 模式下, CDOUT 输出 SPI 接口数据, 详见“数字接口描述”部分。
18	AD2/GP02	地址位 2 (I2C)/通用输出 2, 如果用于 I2C 管脚, 该脚必须通过一个 47k Ω 的上拉或者下拉电阻。GP0 功能详见“数字接口描述”部分和“通用输出”部分。
19	GP01	通用输出 1, GP0 功能详见“通用输出”部分。
20	GP00	通用输出 0, GP0 功能详见“通用输出”部分。
21	VL	逻辑电源输入, 正常 3.3V 或者 5V。
22	DGND	数字地, AGND 和 DGND 必须连接在一起。
23	VD	数字电源, 正常 3.3V。
24	RMCK	恢复的输入部分主时钟 (输出), 从 PLL 输出恢复的主时钟。频率默认 256 倍的采样速率 (F_s), 通过控制寄存器 1 (01h) 中的 RMCKF 位可设置为 128 倍。通过控制寄存器 4 (04h) 中的 RXD 位可将 RMCK 脚设为高阻态。
25	OMCK	系统时钟 (输入), 当通过寄存器 1 中的 SWCLK 位使能 OMCK 作为系统时钟时, 若 PLL 未锁定, 则该管脚输入的时钟信号自动通过 RMCK 端输出。OMCK 作为寄存器 18h 的 OMCK/RMCK 参数表达式的参考信号。详见“OMCK 系统时钟模式”部分。
26	SDOUT	串行音频数据输出, 在软件模式下, 该脚必须通过一个 47k Ω 电阻上拉到 VL。
27	OSCLK	SDOUT 管脚的串行音频位时钟输出。
28	OLRCK	串行音频左右通道时钟 (输入/输出), SDOUT 管脚输出的串行音频数据的字速率时钟。输出的频率是采样率 (F_s)

■ 功能框图



■ 封装尺寸图

TSSOP28:



联系我们
深圳市动能世纪科技有限公司
公司地址：深圳市南山区打石一路国际创新谷6期B座1111室
电话：0755-83134419
传真：0755-82519160
公司网址：www.dnsj88.com
EMAIL: dnsj@dn-ic.com
邮编：518031